29

अर्द्धचालक युक्तियों के अनुप्रयोग

पिछले अध्याय में आपने अर्द्धचालक युक्तियों जैसे *p-n* संधि डायोड, जेनर डायोड, LED, सौर सेल एवं ट्रांजिस्टर के सिद्धांत पढ़े। अपने लघु आकार एवं विशिष्ट वैद्युत गुणों के कारण इन युक्तियों के घरेलू उपकरणों एवं यंत्रों जैसे गैस-लाइटर, सुरक्षा सूचक घंटी, रेडियो, टीवी, टेलीफोन, टेप रिकार्डर, सीडी प्लेयर, कम्प्यूटर, पंखा नियंत्रक, आदि में अनेक अनुप्रयोग है। बड़े उद्यमों की नियंत्रण प्रक्रिया में, हवाई जहाजों के उड्डयन नियंत्रण उपकरणों तथा उपग्रहों की ऊर्जन प्रणालियों में अर्द्धचालक युक्तियाँ ही प्रयुक्त होती हैं। एक प्रकार से, जिन्दगी के बारे में इनके बिना सोचना असंभव है।

इस अध्याय में आप डायोड एवं ट्रांजिस्टर के कुछ सरल अनुप्रयोग सीखेंगे। इस चर्चा के बाद डिजिटल इलेक्ट्रॉनिक्स के आधारभूत तथ्यों से परिचय होगा। इलेक्ट्रॉनिक्स की इस शाखा में ऐसे विशिष्ट सिगनल/ तरंग-रूप प्रयुक्त होते हैं जो 0 एवं 1 द्वारा दर्शायी जाने वाली केवल दो अवस्थाओं में ही मौजूद हो सकते हैं। डिजिटल इलेक्ट्रॉनिक्स तार्किक परिपथ (Logic Gates) की अवधारणा पर आधारित होते हैं। ये परिपथ डिजिटल स्वरूप में निवेश ग्रहण कर सकते हैं तथा एक तार्किक क्रिया-विधि (Logic Operation) के उपरांत एक निश्चित निर्गम देते हैं। आप इन तार्किक परिपथों के प्रतीक, वास्तविक स्वरूप आदि के बारे में इस अध्याय में पढ़ेंगे।

उद्देश्य

इस पाठ के अध्ययन के पश्चात आप:

- डायोड की अर्द्ध-तरंग एवं पूर्व-तरंग दिष्टकारी के रूप में व्याख्या कर सकेंगे;
- जेनर डायोड की वोल्टेज नियंत्रक (Voltage Regulator) के रूप में व्याख्या कर सकेंगे;
- ट्रांजिस्टर को प्रवर्धक, स्विच एवं दोलित्र के रूप में उपयोग में ला पाएंगे;
- तार्किक परिपथों की सत्य सारणी सहित व्याख्या कर पाएंगे, तथा
- सरल परिपथ अवयवों द्वारा तार्किक परिपथों की रचना कर पाएंगे।

29.1 $p-n$ संधि डायोड के अनुप्रयोग

आप अब तक p–n संधि में असममित वैद्युत चालन के बारे में पढ़ चुके हैं अर्थात् इसका अग्र अभिनति में प्रतिरोध उत्क्रम अभिनति में प्रतिरोध से भिन्न होता है। इस विशेषता के कारण डायोड दिष्टकरण (Rectification) अर्थात् प्रत्यावर्ती सिगनल को दिष्ट सिगनल (नियम मान का) में परिवर्तित करने के लिए इस्तेमाल किया जाता है। दैनिक जीवन में इसकी सैल फोन, लैप-टॉप आदि के आवेशन (Charging) में आवश्यकता होती है।

29.1.1 p-n संधि डायोड दिष्टकारी के रूप में

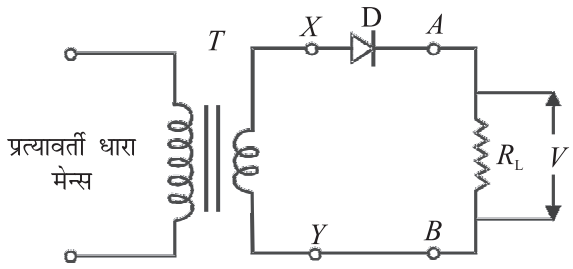
आपने मॉड्यूल 5 के अध्याय में पढ़ा था कि हमारे घरों में विद्युत आपूर्ति प्रत्यावर्ती वोल्टता के रूप में होती है। यह 50 हर्ट्ज आवृत्ति का ज्या सिगनल (Sinusoidal Signal) होता है। इसका तात्पर्य है कि वोल्टता (अथवा धारा) एक चक्र में दो बार शून्य होती है अर्थात् शून्य वोल्टता स्तर के दोनों ओर सममिति रूप से तरंग-रूप एक अर्द्ध चक्र (Half cycle) में धनात्मक तथा दूसरे अर्द्ध चक्र में ऋणात्मक होता है। ऐसी तरंग की औसत वोल्टता शून्य होगी।

a) अर्द्ध-तरंग दिष्टकरण

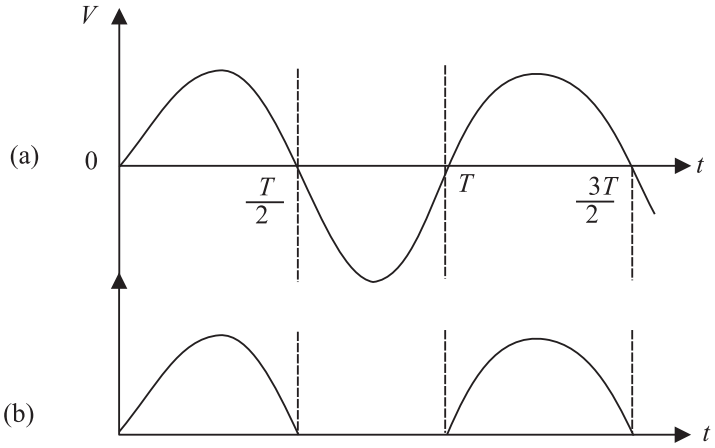
चित्र 29.1 का अवलोकन करें। प्रत्यावर्ती धारा-स्रोत से प्राप्त सिगनल को अपचायी ट्रांसफार्मर T में निवेश किया जाता है जो कि उसको X तथा Y बिन्दुओं के बीच निर्गत करता है। इन सिरों के बीच p-n संधि डायोड D के माध्यम से लोड-प्रतिरोध R_L भी जोड़ दिया जाता है। आप शायद यह जानना चाहेंगे कि यहाँ अपचायी ट्रांसफार्मर क्यों प्रयुक्त हुआ है। ऐसा इसलिए किया गया है क्योंकि अधिकतर इलेक्ट्रॉनिक युक्तियों में 220V से काफी कम वोल्टता-स्तर की आवश्यकता होती है। अपचायी ट्रांसफार्मर के निर्गम के रूप में प्रत्यावर्ती सिगनल प्राप्त किया जाता है। जैसा कि चित्र 29.2 (a) में दर्शाया गया है कि बिन्दु Y के सापेक्ष बिन्दु X का विभव ज्या फलन (Sine Function) की भांति परिवर्तित होता है। 0 से $T/2$ के समयान्तराल के बीच होने वाले धनात्मक अर्द्ध-चक्र में डायोड D अग्र अभिनत होने के कारण वैद्युत चालन करता है अर्थात् धारा R_L में A से B की ओर प्रवाहित होती है। किन्तु समयान्तराल $T/2$ से T के बीच होने वाले ऋणात्मक अर्द्ध-चक्र में डायोड D उत्क्रम अभिनत होने के कारण वैद्युत चालन नहीं करता अर्थात् R_L में कोई धारा प्रवाहित नहीं होती। यह चित्र 29.2(b) में देखा जा सकता है। इस प्रकार p-n संधि ज्या-तरंग (Sine Wave) के एक अर्द्ध-चक्र में ही वैद्युत चालन करती है इसलिए यह अर्द्ध-तरंग दिष्टकारी का कार्य करता है।

अचालन वाले अर्द्ध-चक्र में डायोड के बीच अधिकतम उत्क्रम वोल्टता शिखर प्रत्यावर्ती वोल्टता V_m के बराबर होती है। अधिकतम उत्क्रम वोल्टता जिसे डायोड बिना भंजन के सहन कर सकता है, शिखर व्युत्क्रम वोल्टता **[Peak Inverse Voltage(PIV)]** कहलाती है। अत: स्पष्ट है कि दिष्टकारी के रूप में ऐसे डायोड का प्रयोग करना चाहिए जिसकी PIV दिष्टकृत की जाने वाली प्रत्यावर्ती शिखर वोल्टता से अधिक हो, अन्यथा डायोड को क्षति पहुंच सकती है। अर्द्ध तरंग दिष्टकारी के परिपथ में वोल्टमीटर द्वारा R_L के सिरों के बीच मापी गयी दिष्ट वोल्टता V_{dc} का मान निम्नलिखित होता है

$$V_{dc} = V_m/\pi \qquad (29.1)$$



चित्र 29.1: अर्द्ध तरंग दिष्टकारी का परिपथ



चित्र 29.2: (a) निवेशी प्रत्यावर्ती वोल्टता (b) अर्द्ध तरंग दिष्ट निर्गम

जहाँ V_m शिखर प्रत्यावर्ती वोल्टता है। लोड प्रतिरोध R_L में प्रवाहित दिष्ट धारा निम्नलिखित होती है

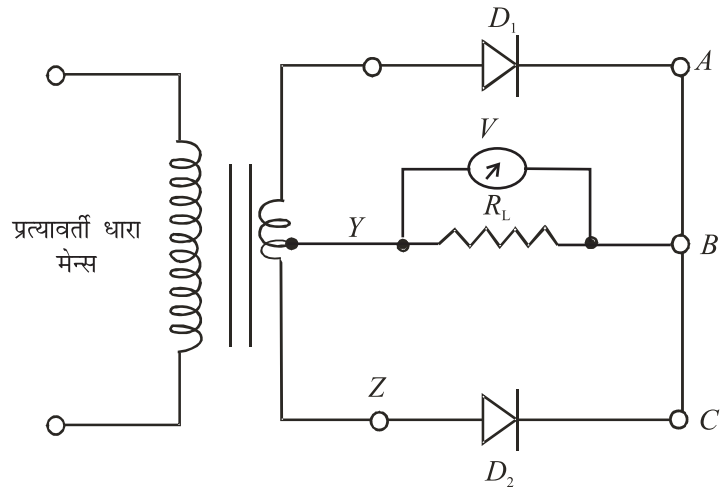
$$I_{dc} = \frac{V_{dc}}{R_L} = \frac{V_m}{\pi R_L} \qquad (29.2)$$

ध्यान दें कि यहाँ केवल आधी निवेशी शक्ति का उपयोग हो रहा है। इसलिए दिष्ट धारा प्राप्त करने की यह अच्छी दक्षतापूर्ण विधि नहीं कही जा सकती। यहाँ यह तर्क दिया जा सकता है कि एक के बजाय दो डायोड इस प्रकार इस्तेमाल क्यों नहीं किये जाते जिसमें वे एक-एक करके क्रमागत रूप से प्रत्येक अर्द्धचक्र में कार्य करें। इसी को पूर्ण-तरंग दिष्टकारी कहते हैं जिसका अब हम अध्ययन करेंगे।

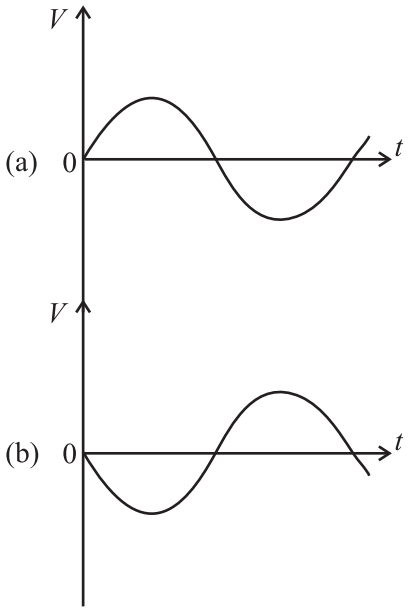
b) पूर्ण-तरंग दिष्टकरण

पूर्ण तरंग दिष्टकरण के लिए निवेशी सिगनल चित्र 29.3 में दर्शाये गये परिपथ में अपचायी ट्रांसफार्मर की प्राथमिक कुण्डली में दिया जाता है (इसके द्वितीयक कुण्डली में दो एकसमान कुण्डलियाँ श्रेणीबद्ध होती है)। D_1 एवं D_2 दो p-n संधि डायोड है। लोड-प्रतिरोध (R_L) का एक सिरा द्वितीयक कुण्डली के फेरों के मध्य बिन्दु Y से तथा दूसरा सिरा डायोड D_1 एवं D_2 के केथोड सिरों से जोड़ दिया जाता है। इन डायोडों के द्वितीयक कुण्डली के सिरों X एवं Z के साथ क्रमशः जुड़े होते हैं। Y के सापेक्ष X तथा Z का विभव विपरीत कला में होता है अर्थात् जब

X का विभव धनात्मक होता है तो Z का विभव ऋणात्मक होगा तथा यही कथन विलोमत: भी सत्य है। चित्र 29.4(a) तथा (b) इसको ग्राफ के माध्यम से प्रदर्शित किया गया है।

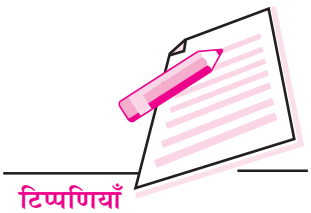


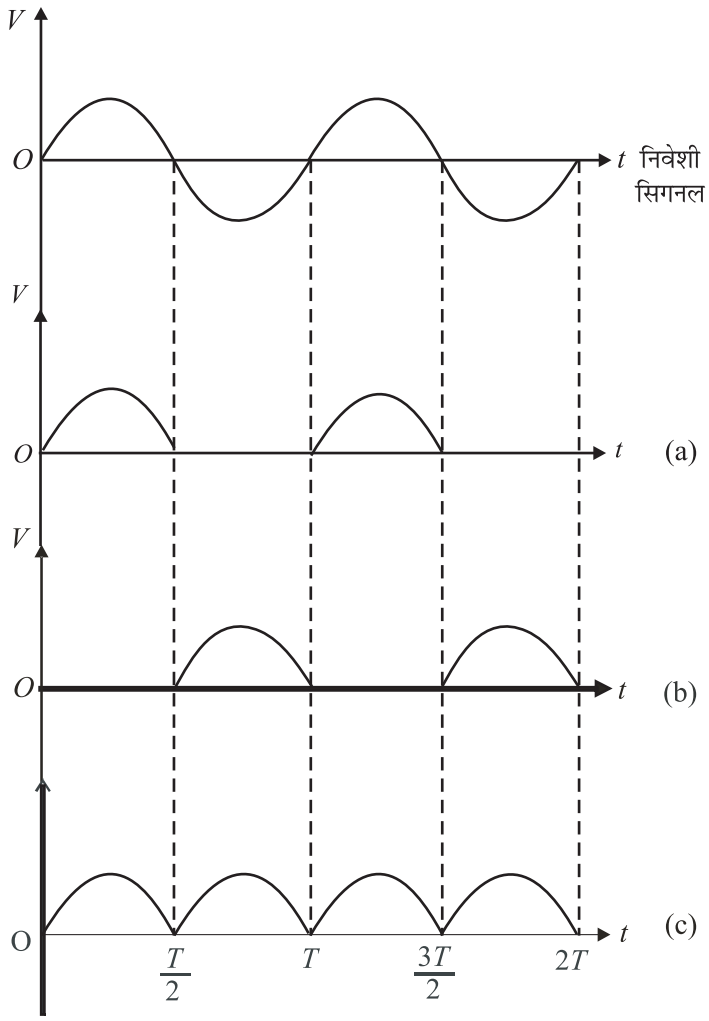
चित्र 29.3: दो डायोडों वाला पूर्ण-तरंग दिष्टकारी



चित्र 29.4 : (a) Y के सापेक्ष X बिन्दु पर विभव धनात्मक है, तथा (b) बिन्दु Z का विभव Y के सापेक्ष ऋणात्मक है।

मान लीजिये, शुरू में Y के सापेक्ष बिन्दु X धनात्मक, किन्तु बिन्दु Y ऋणात्मक विभव पर है। इस स्थिति में डायोड D_1 में विद्युत प्रवाह तो होगा किन्तु डायोड D_2 में ऐसा नहीं होगा। अत: लोड-प्रतिरोध R_L में धारा B से Y की ओर प्रवाहित होगी तथा R_L के बीच निर्गत वोल्टता चित्र 29.5(a) के अनुसार होगी। अगले अर्द्ध चक्र में, X ऋणात्मक तथा Z धनात्मक विभव पर होगा। इस स्थिति में डायोड D_2 में विद्युत प्रवाह होगा तथा उसकी लोड-प्रतिरोध में दिशा पूर्ववत् अर्थात् B से Y की ओर ही होगी। संगत तरंग-रूप चित्र 29.5(b) में दर्शाया गया है। R_L के बीच निर्गत वोल्टता एकदिश, किन्तु स्पन्दनयुक्त होती है, जैसा कि चित्र 29.5(c) में प्रदर्शित है।





चित्र 29.5 : R_L के बीच वोल्टता a) जब D_1 में वैद्युत-प्रवाह होता है, b) D_2 वैद्युत-प्रवाह होता है, c) पूर्ण-तरंग दिष्टकारी का कुल निर्गम

लोड में धारा प्रवाह ज्या-तरंग (Sine Wave) के संपूर्ण चक्र में होने के कारण इस प्रक्रिया को पूर्ण-तरंग दिष्टकरण कहते हैं। दिष्ट-वोल्टता एवं दिष्ट-धारा के मान निम्नलिखित हैं-

$$V_{dc} = 2 \times V_m/\pi \qquad (29.3)$$

तथा

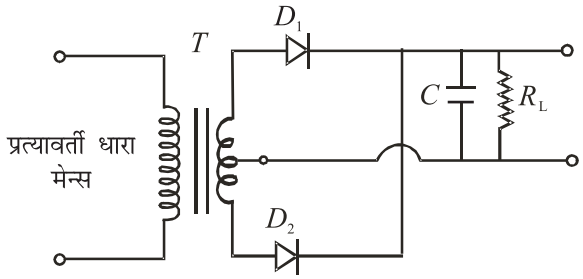
$$I_{dc} = \frac{V_{dc}}{R_L} = \frac{2V_m}{\pi R_L} \qquad (29.4)$$

ध्यान दें कि पूर्ण-तरंग दिष्टकरण के उपरांत लोड-प्रतिरोध में प्रवाहित होने वाली धारा एक-दिशीय होते हुए भी बहुत अधिक व्यवहारिक उपयोग के योग्य नहीं है क्योंकि इसका मान महत्तम से न्यूनतम के बीच लगातार स्पन्दित (Pulsate) होता है। उच्चावच घटक (Fluctuating component) को कम कर स्थिर धारा प्राप्त करने के लिए स्पन्दीय भाग को 'फिल्टर' किया जाता है। आपको यह जिज्ञासा होगी कि यह कैसे किया जाता है। अब हम इन महत्वपूर्ण प्रश्नों के उत्तर ढूढ़ेंगे।

उच्च गुणवत्ता के शक्ति प्रदायों में प्रेरकों एवं संधारित्रों के संयोजनों $L-C-L$ अथवा $C-L-C$ का उपयोग किया जाता है। जिस प्रकार इन अवयवों को जोड़ा जाता है उसी के अनुसार इन्हें 'T' अथवा 'π'-फिल्टर कहा जाता है।

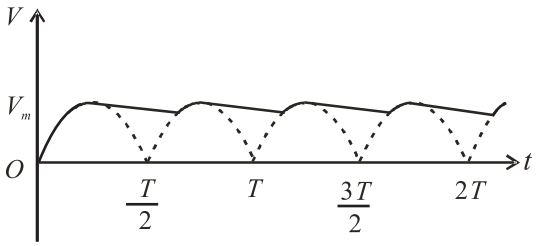
फिल्टरिंग (Filtering)

आपको याद होगा कि संधारित्र की प्रतिबाधा (Impedence) स्रोत की आवृत्ति पर निर्भर करती है। अत: चित्र 29.6 में दर्शाया गया लोड-प्रतिरोध के समांतर संधारित्र C उच्च आवृत्ति वाले घटक को फिल्टर करेगा।



चित्र 29.6 : पूर्ण तरंग दिष्टकरण में संधारित्र-फिल्टर का परिपथ चित्र

जब डायोड D_1 में कालांश $t = T/4$ की अवधि में वैद्युत चालन होता है तो संधारित्र अधिकतम विभव V_m तक आवेशित हो जाता है। जब $T/4 < t < T/2$ अवधि में धारा घटती है तो संधारित्र अनावेशित होते हुए लोड में धारा का मान स्थिर रखने का प्रयास करता है जिससे उच्चावचन (Fluctuations) काफी हद तक कम हो जाते हैं, जैसा कि चित्र 29.7 में दर्शाया गया है। धारिता एवं लोड-प्रतिरोध का मान जितना अधिक होगा निर्गत दिष्ट धारा में उच्चावचन उतने ही कम होंगे। उच्चावचन को कम करने के लिए लोड के समांतर लगाये जाने वाले इस संधारित्र को फिल्टर संधारित्र कहते हैं। विद्युत आपूर्ति यूनिट (Power Supply Unit) में LC तथा C-L-C (अथवा π) 'फिल्टर' लगाकर ऊर्मित प्रभाव (Ripple Effect) को कम किया जाता है। आप इनका विस्तृत अध्ययन उच्चतर कक्षाओं में कर पायेंगे।



चित्र 29.7: निर्गत वोल्टता जब संधारित्र फिल्टर के रूप में प्रयुक्त हो।

विशेष प्रकार के p-n संधि जिन्हें जेनर डायोड करते हैं, उत्क्रम-अभिनति में वोल्टता-नियंत्रक का कार्य करते हैं। अब आप इस विषय का अध्ययन कर पायेंगे।

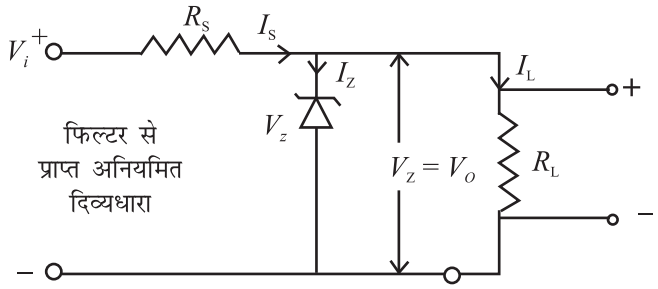
29.1.2 वोल्टता-नियंत्रक के रूप में जेनर डायोड

फिल्टर युक्त अर्द्ध-तरंग एवं पूर्ण-तरंग दिष्टकारी सरलतम प्रकार की विद्युत आपूर्ति व्यवस्थायें हैं। इनसे प्राप्त होने वाली धारा प्राय: शुद्ध दिष्ट धारा तो होती है, किन्तु इनका एक बड़ा दोष यह है कि यदि प्रतिरोध घटने पर लोड-धारा बढ़ जाय तो निर्गत वोल्टता घट जाती है। इसका

कारण यह है कि अत्यधिक धारा-प्रवाह होने पर फिल्टर-संधारित्र अधिक अनावेशित हो जाता है तथा लोड-प्रतिरोध के बीच इसकी वोल्टता घट जाती है। इसी प्रकार यदि प्रत्यावर्ती निवेश में परिवर्तन होता है तो दिष्ट निर्गम भी परिवर्तित हो जाता है। स्पष्ट है कि परिवर्तनशील निर्गत वोल्टता वाली आपूर्ति-व्यवस्था से क्रियारत विभिन्न युक्तियों की कार्य-कुशलता भी प्रभावित होगी। उदाहरणत: यदि एक प्रवर्ध क्रियारत है तो इससे उत्पन्न ध्वनि की गुणवत्ता खराब होगी। इस दोष को दूर करने के लिए किसी सामान्य विद्युत आपूर्ति इकाई के साथ एक जेनर डायोड प्रयोग किया जाता है; निर्गत दिष्ट वोल्टता अब स्थिर होती है। इस प्रकार के परिपथ को नियंत्रित विद्युत आपूर्ति कहते हैं।

जेनर वोल्टता नियंत्रित आपूर्ति का परिपथ चित्र 29.8 में दर्शाया गया है। इसमें एक जेनर डायोड है जो भंजन वोल्टता (V_z) पर कार्य करता है। निर्गत स्थिर वोल्टता (V_O) जो भंजन वोल्टता के बराबर ही होता है। एक उपयुक्त श्रेणीबद्ध प्रतिरोध R_s परिपथ में धारा नियंत्रित करने के लिए लगाया जाता है जो अतिरिक्त वोल्टता को विभाजित कर अलग कर देता है। जेनर डायोड का एनोड निवेशी आपूर्ति के ऋणात्मक सिरे से जोड़ दिया जाता है तथा केथोड को श्रेणीबद्ध प्रतिरोध R_s के माध्यम से आपूर्ति के धनात्मक सिरे से जोड़ा जाता है। इस प्रकार जेनर डायोड उत्क्रम अभिनत होता है। लोड-प्रतिरोध जेनर डायोड के समांतर लगाते हैं। जेनर नियामत तभी होगा जब निवेशी आपूर्ति वोल्टता (V_i) का मान V_z से अधिक हो। भंजन के उपरांत, जेनर डायोड के बीच वोल्टता स्थिर रहती है तथा प्रवाहित धारा पर निर्भर नहीं करती। R_s में प्रवाहित धारा I_s का मान निम्नलिखित समीकरण द्वारा व्यक्त किया जा सकता है :

$$I_s = (V_i - V_z)/R_s \qquad (29.5)$$



चित्र 29.8 : वोल्टता नियंत्रक के रुप में जेनर डायोड

धारा I_z को दो भागों में विभाजन होता है : जेनर धारा I_Z एवं लोड धारा I_L। अब किरचॉफ के नियमों से यह कहा जा सकता है

$$I_s = I_z + I_L$$

या $$I_z = I_s - I_L \qquad (29.6)$$

जेनर डायोड के कार्य करने के लिए कुछ न्यूनतम धारा ($I_{Z_{min}}$) इसमें अवश्य प्रवाहित होनी चाहिए। अत: लोड धारा (I_L) मुख्य धारा I_s से सदैव कुछ कम होती है। $I_{Z_{min}}$ का मान सामान्यतया 5 mA से 20 mA के मध्य होता है। यदि लोड-धारा शून्य हो तो धारा I_s सम्पूर्णतया जेनर डायोड से ही प्रवाहित होगी तथा निर्गत वोल्टता V_O का मान V_z के बराबर ही होगा। जब कुछ लोड-धारा

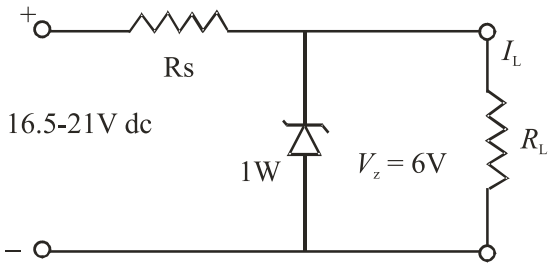
I_L भी प्रवाहित होती है तो जेनर धारा भी इतनी ही मात्रा में कम होगी किन्तु निर्गत वोल्टता का मान पूर्ववत V_z ही रहेगा। इसी प्रकार यदि प्रत्यावर्ती स्रोत वोल्टता बढ़ती या घटती है तो निवेशी वोल्टता V_i भी तदनुसार बढ़ेगी या घटेगी। इसके परिणामस्वरूप धारा I_s समीकरण (29.5) के अनुसार परिवर्तित होगी। V_i में परिवर्तन I_s के बदल जाने के कारण श्रेणी-प्रतिरोध R_s के मध्य विभवान्तर के रूप में प्रकट होता है। जेनर वोल्टता V_z तथा निर्वात वोल्टता V_O अपरिवर्तित रहते हैं। इस प्रकार निवेशी वोल्टता एवं धारा (अथवा लोड प्रतिरोध) में परिवर्तन से अप्रभावित रहते हुए निर्गत वोल्टता स्थिर (Stabilized) हो जाती है।

जेनर डायोड में ऊर्जा की खपत निम्नलिखित समीकरण द्वारा व्यक्त की जा सकती है

$$P_d = V_z \times I_z \qquad (29.7)$$

यह खपत निर्माता द्वारा अनुमोदित महत्तम ऊर्जा खपत दर के मान से अधिक नहीं होनी चाहिए। अब हम जेनर नियंत्रित विद्युत आपूर्ति को एक उदाहरण द्वारा समझेंगे।

उदाहरण 29.1: यदि किसी परिपथ में लोड धारा 0 से बढ़कर 100 mA तथा निवेशी आपूर्ति वोल्टता 16.5 V से बढ़कर 21 V हो जाती हो तो एक ऐसे परिपथ की रचना करिये जिससे कि 6 V की स्थिर आपूर्ति प्राप्त हो सके।



हल : हम 6 V (भंजन वोल्टता) का जेनर डायोड लेते हैं। मान लीजिये इसकी $I_{Z_{min}}$ का मान 5 mA है। जेनर डायोड में अधिकतम धारा तब प्रवाहित होगी जब लोड-धारा शून्य हो। इसका मान (100+5) mA= 0.105A होगा।

R_s का मान न्यूनतम निवेशी वोल्टता तथा अधिकतम आवश्यक धारा द्वारा निर्धारित होता है :

$$R_s = \frac{V_{z_{min}} - V_z}{I_{max}} = \frac{16.5V - 6V}{105mA} = 100\,\Omega$$

निवेशी वोल्टता के अधिकतम होने पर जेनर डायोड में प्रवाहित धारा भी अधिकतम होगी। अत: अधिकतम जेनर धारा $I_{max} = (21V - 6V)/100\,\Omega \approx 0.15$ A.

डायोड में अधिकतम ऊर्जा खपत की दर = 6V × 0.15A= 0.9W.

इससे निष्कर्ष निकलता है कि प्रयुक्त डायोड 6V, 1W एवं 100 π का होना चाहिए तथा इसके परिपथ की रचना संलग्न चित्रानुसार होनी चाहिए। यह लोड एवं निवेश में निर्धारित सीमाओं के अंदर परिवर्तन होने पर 6V का स्थिर निर्गम प्रदान करेगा।

पाठगत प्रश्न 29.1

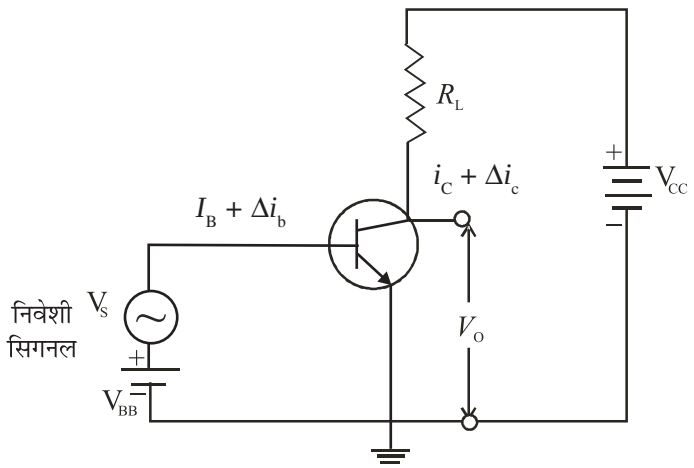
1. फिल्टर संधारित्र युक्त पूर्ण-तरंग दिष्टकारी के परिपथ की रचना कीजिए।
2. यदि उदाहरण 29.1 में दर्शाये गये नियंत्रण-परिपथ (Regulator Circuit) में जेनर डायोड को उत्क्रम अभिनत के बजाय अग्र अभिनत किया जाय तो उसकी निर्गत वोल्टता पर क्या प्रभाव पड़ेगा?

29.2 ट्रांजिस्टर के अनुप्रयोग

पिछले अध्याय में आपने ट्रांजिस्टर के सिद्धांत का विस्तार से अध्ययन किया था। सामान्यतया संग्राहक उत्क्रम अभिनत होता है तथा संग्राहक उत्सर्जक परिपथ में कोई धारा प्रवाहित नहीं होती। यदि आधार-परिपथ में अल्प मात्रा में भी धारा प्रवाहित हो तो संग्राहक परिपथ में अत्याधिक धारा प्रवाह होता है। इस विशेषता के कारण ही ट्रांजिस्टर के अनेकानेक अनुप्रयोग हैं। किन्तु यहाँ हम प्रवर्धक, स्विच एवं दोलित्र के रूप में उसके अनुप्रयोगों की चर्चा करेंगे।

29.2.1 ट्रांजिस्टर एक प्रवर्धक के रूप में

वैद्युत सिगनल कोई वोल्टता अथवा धारा ही होती है जिसमें उपयोगी सूचना निहित होती है। इसे एक उदाहरण से देखें : जब हम माइक्रोफोन के सम्मुख कुछ बोलते हैं तो डायाफ्राम कम्पन करता है जिससे कुण्डली में अति सूक्ष्म वोल्टता उत्पन्न हो जाती है जिसकी मात्रा ध्वनि की तीव्रता पर निर्भर करती है। यह प्रेरित वोल्टता इतने क्षीण सिगनल के रूप में होती है कि उससे लाउडस्पीकर ध्वनि उत्पन्न नहीं कर सकता। इस कारण से इसे प्रवर्धक नामक युक्ति में निवेश किया जाता है। प्रवर्धक निवेशी सिगनल के स्तर (परिमाण) को बढ़ाकर आवर्धित निर्गम प्रदान करता है। आवर्धित निर्गम वोल्टता V_O तथा निवेशी सिगनल वोल्टता V_i के अनुपात को *वोल्टता-लाभ* (Av) कहते हैं।



चित्र 29.9: मूल प्रवर्धक परिपथ जिसमें *n-p-n* ट्रांजिस्टर *CE* व्यवस्था में है।

अर्थात् $$A_V = \frac{V_O}{V_i} \quad (29.8)$$

इसी प्रकार, धारा-लाभ एवं शक्ति-लाभ को परिभाषित किया जा सकता है :

$$A_L = \frac{i_O}{i_i} \quad (29.10)$$

$$A_p = \frac{P_O}{P_i} \quad (29.11)$$

प्रवर्धक की भांति ट्रांजिस्टर का परिपथ चित्र 29.9 में दर्शाया गया है। यहाँ CE विन्यास के *n-p-n* ट्रांजिस्टर को प्रयोग किया गया है। इसका संग्राहक बैटरी V_{CE} के द्वारा लोड-प्रतिरोध के माध्यम से उत्क्रम अभिनत है। आधार-धारा (I_B) के प्रवाहित होने पर संग्राहक धारा (I_C) का प्रवाह भी होने लगता है। I_B के कम होने पर एक स्थिति ऐसी आती है कि I_C लगभग शून्य हो जाती है। यह I_B में परिवर्तन की निम्नतम सीमा है। इसी प्रकार I_B के बढ़ने पर संतृप्त अवस्था की स्थिति आ जाती है तथा I_C बढ़ना बंद कर देती है। यह I_B की ऊपरी सीमा का द्योतक है। निवेशी सिगनल के भरोसेमंद प्रवर्धन के लिए यह आवश्यक है कि I_B परिवर्तन के सीमांत मानों (न्यूनतम व अधिकतम) के माध्य के बराबर आधार धारा बैटरी V_{BB} द्वारा आधार को अग्र-अभिनत कर प्रवाहित की जाय। क्रियाकारी बिन्दु ट्रांजिस्टर के रेखीय क्रियाकारी क्षेत्र के मध्य में चुना जा सकता है। इसे आधार की अभिनति कहते हैं। V_{BB} के साथ श्रेणी में उस सिगनल स्रोत को जोड़ा जाता है जो निवेशी सिगनल υ_S प्रदान करता है।

V_{BB} में प्रत्यावर्ती सिगनल वोल्टता υ_S के मिलने के कारण दिष्ट अभिनत धारा I_B में Δi_b परिवर्तन होता है। सिगनल वोल्टता को इस प्रकार न्यून रखा जाता है कि सिगनल धारा Δi_b के I_B में जुड़ने अथवा घटने पर आधार-धारा में परिवर्तन के सीमांत मानों (Limiting Values) के परे नहीं होता। अन्यथा ट्रांजिस्टर संस्तब्ध (Cut-off) अथवा संतृप्त (Saturation) क्षेत्रों में चला जायेगा तथा प्रवर्धित निर्गम (Amplified Output) अत्यधिक विकृत (Distorted) तथा शोरयुक्त होगा। ध्यान दें कि सिगनल धारा

$$\Delta i_b = \upsilon_S / r_i \quad (29.12)$$

जहाँ r_i निवेशी प्रतिबाधा (Input Impedence) है। आधार धारा में इस परिवर्तन Δi_b से संग्राहक-धारा में बहुत अधिक परिवर्तन Δi_C होता है

$$\Delta i_c = \beta \Delta i_b = \beta \upsilon_s / r_i \quad (29.13)$$

जहाँ β प्रत्यावर्ती धारा प्रवर्धन गुणांक है जो कि $\Delta i_c / \Delta i_b$ के बराबर होता है। समीकरण (29.13) से,

$$\upsilon_s = \Delta i_c \times r_i / \beta \quad (29.14)$$

चित्र 29.9 के निर्गम परिपथ में किरचॉफ के नियम लगाने पर

$$V_{CC} = V_{CE} + I_C R_L \quad (29.15)$$

समीकरण (29.15) का अवकलन करने पर

$$dV_{CC} = dV_{CE} + dI_C \times R_L \quad (29.16)$$

V_{CC} नियत है, अत: $dV_{CC} = 0$

$$dV_{CE} = - dI_C \times R_L$$

लेकिन dV_{CE} वस्तुत: निर्गम में परिवर्तन $\Delta \upsilon_0$ तथा i_c में परिवर्तन dI_C है, अतएव

$$\Delta \upsilon_0 = - \Delta i_c \times R_L$$

अत: प्रवर्धक का वोल्टता-लाभ

$$A_V = \upsilon_0 / \upsilon_S = - (\Delta i_c \times R_L)/(\Delta i_c \times r_i/\beta)$$

$$= -\beta \times R_L / r_i \qquad (29.17)$$

अनुपात β/r_i ट्रांजिस्टर की अन्योन्य चालकता (Trans conductance) कहते हैं तथा g_m से निरूपित करते हैं। अत: समीकरण (29.17) को निम्नलिखित रूप में लिखा जा सकता है :

$$A_V = - g_m \times R_L \qquad (29.18)$$

यहाँ ऋणात्मक चिन्ह इस बात का द्योतक है कि निवेश तथा निर्गम विपरीत कला में हैं अर्थात् उनमें 180° का कलान्तर है। शक्ति लाभ,

$$A_P = A_I \times A_V = \beta \times A_V \qquad (29.19)$$

शक्ति-लाभ से यह अभिप्राय नहीं है कि प्रवर्धक द्वारा ऊर्जा संरक्षण के नियम का उल्लंघन होता है। प्रवर्धक के प्रत्यावर्ती शक्ति निर्गम का मान प्रत्यावर्ती सिगनल शक्ति निवेश से अधिक अवश्य है, किन्तु यह वृद्धि अभिनति के दिष्ट-स्रोतों द्वारा प्रदान की गयी ऊर्जा से ही हुई है।

जॉहन बार्डीन
(1908 – 1991)

जॉह्न बार्डीन विज्ञान के इतिहास में अकेले ऐसे शोधकर्त्ता हुए हैं जिन्हें भौतिकी का नोबेल पुरस्कार दो बार प्राप्त हुआ। उनका जन्म मैडीसन, विसकोन्सिन, अमेरिका के एक अत्यंत शिक्षित परिवार में हुआ। बालक के रूप में वे इतने होनहार थे कि उनके माता-पिता ने उनको तीसरी कक्षा से जूनियर हाई स्कूल में सीधे ही प्रवेश दिलाया। उन्होंने वैद्युत अभियन्त्रण में स्नातक किया। जीवन वृत्ति के लिए उन्हें भी संघर्ष करना पड़ा। गल्फ आयल कम्पनी के साथ भू भौतिकविद् के रूप में तीन वर्ष व्यतीत करने के उपरांत वे गणितीय भौतिकी में Ph.D करने के लिए प्रिंसटॉन चले गये। हारवर्ड, मिनेसोटा तथा नेवल आर्डमेन्स प्रयोशाला में थोड़े-थोड़े समय तक कार्य करने के बाद वे बैल प्रयोगशाला में विलियम शॉक्ले के शोध-समूह में सम्मिलित हो गये। वॉल्टर ब्रटेन के साथ उन्होंने प्रथम ट्रांजिस्टर विकसित किया जिसके लिए बार्डीन, ब्रटेन एवं शॉक्ले को 1956 का भौतिकी का नोबेल पुरस्कार दिया गया।

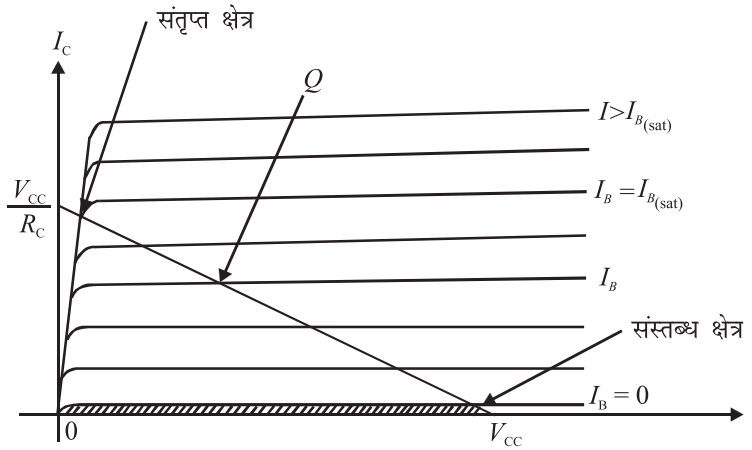
अतिचालकता पर सैद्धांतिक कार्य के लिए बार्डीन को लियोन सी कूपर तथा आर शिफर के साथ संयुक्त रूप से 1972 का भौतिकी का नोबेल पुरस्कार पुन: दिया गया।

पाठगत प्रश्न 29.2

1. *CE* विन्यास वाले प्रवर्धक में υ_i का मान 20 mV तथा υ_o का 1 वोल्ट है। वोल्टता-लाभ की गणना कीजिये।
2. एक प्रवर्धक के P_0 का मान P_i के मान का 200 गुणा है। शक्ति लाभ की गणना कीजिये।
3. CE विन्यास के प्रवर्धक के लिए $R_L = 2000\ \Omega$, $r_i = 500\ \Omega$ तथा $\beta = 50$ हैं। वोल्टता-लाभ एवं शक्ति-लाभ की गणना कीजिये।

29.2.2 ट्रांजिस्टर स्विच के रुप में

दैनिक जीवन में हम यंत्रों जैसे लैम्प, पंखा, मशीन आदि को चालू या बन्द करने के लिए वैद्युत स्विचों को हाथ से ऑन या ऑफ करते हैं। ध्यान दें कि किसी स्विच की दो भिन्न स्थितियाँ होती हैं: ऑन एवं ऑफ। इलेक्ट्रॉनिक्स में भी ऐसी स्थितियाँ होती हैं जहाँ किसी युक्ति को केवल दो भिन्न वोल्टता स्तरों पर ही निवेश करना पड़ता है। यह स्विच के कार्य करने जैसा ही है। स्विच ऑन होने पर एक वोल्टता स्तर होता है तो स्विच ऑफ होने पर दूसरा वोल्टता स्तर। सामान्यतया इस प्रकार के वोल्टता स्तर कम्प्यूटर में होते हैं जहाँ डिजिटल सिगनल प्रयुक्त होते हैं। ऐसा ट्रांजिस्टर की क्रिया (operation) अरेखीय क्षेत्र (Non-linear region) में करके किया जाता है। चित्र 29.10 में दर्शाये ट्रांजिस्टर अभिलक्षणों में दो चरम क्षेत्र है: संस्तब्ध क्षेत्र तथा संतृप्त क्षेत्र। शून्य आधार ($I_B = 0$) के नीचे के छायांकित क्षेत्र संस्तब्ध क्षेत्र है। ट्रांजिस्टर में वैद्युत चालन नहीं होता तथा सम्पूर्ण वोल्टता आपूर्ति V_{CC} ट्रांजिस्टर में संग्राहक एवं उत्सर्जक के मध्य होती है। अर्थात् संग्राहक पर निर्गत वोल्टता V_{CC} है।

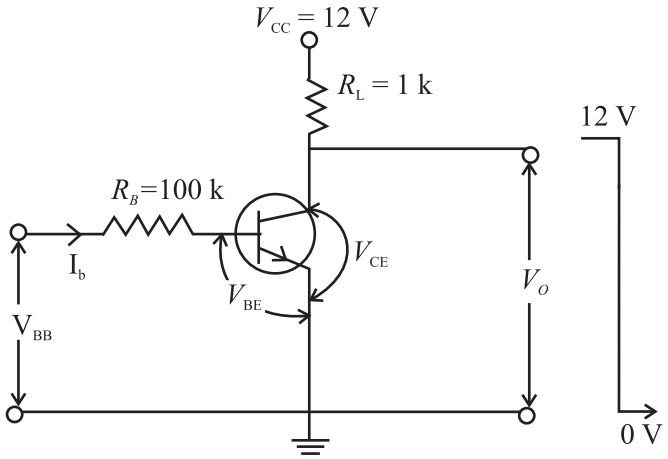


चित्र. 29.10 : ट्रांजिस्टर के निर्गम अभिलक्षण

जब आधार-धारा I_B संतृप्त मान से अधिक हो जाती है तो ट्रांजिस्टर में अच्छे तरीके से वैद्युत चालन होता है तथा संग्राहक-उत्सर्जक वोल्टता लगभग शून्य हो जाती है। इस स्थिति में, संग्राहक

एवं धरातल के मध्य निर्गत वोल्टता शून्य हो जाती है तथा सम्पूर्ण वोल्टता लोड-प्रतिरोध R_L के मध्य ही होती है। अर्थात् संग्राहक-धारा,

$$I_C = \frac{V_{ce}}{R_L}$$



चित्र. 29.11: ट्रांजिस्टर स्विच के रुप में।

चित्र 29.11 में ट्रांजिस्टर का स्विच के रुप में परिपथ दर्शाया गया है। ट्रांजिस्टर को स्विच ऑन अथवा ऑफ करने के लिए नियंत्रण-सिगनल V_{BB} के रुप में दिया जाता है। निवेशी पाश (लूप) के लिए,

$$I_B R_B + V_{BE} - V_{BB} = 0$$

जब $V_{BB} = 0$, हो तो उपर्युक्त समीकरण से हमें प्राप्त होता है।

$$I_B = -\frac{V_{BE}}{R_B} \qquad (29.20)$$

चूँकि I_B का मान शून्य से कम है। अत: ट्रांजिस्टर संस्तब्ध (cut-off) अवस्था में है तथा

$$V_0 = V_{CC} \qquad (29.21)$$

यदि $V_{BB} = 5V$, तथा $V_{BE} = 0.7$ V चयनित ट्रांजिस्टर के लिए हो तो समीकरण (29.20) से हमें प्राप्त होता है

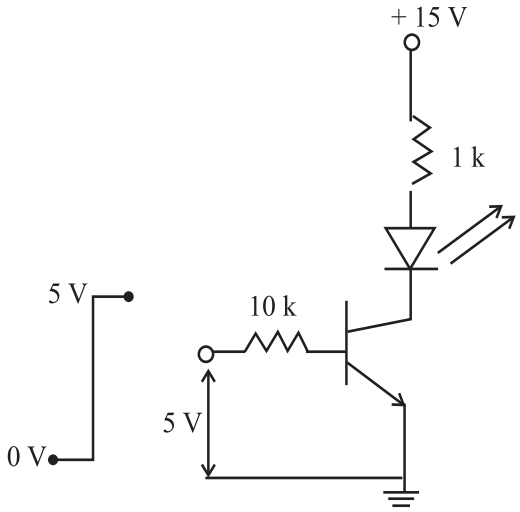
$$I_B\,(100\ k\Omega) + 0.7V - 5\ V = 0.$$

$$\therefore \qquad I_B = \frac{5V - 0.7V}{100k\Omega} = 43\ \mu A$$

सामान्य ट्रांजिस्टरों में, आधार-धारा का यह मान ट्रांजिस्टर को पूर्ण संतृप्तता में पहुँचाने के लिए पर्याप्त है। इस स्थिति में $V_O = V_{CE_{sat}} = 0$ एवं संग्राहक-धारा

$$I_C = \frac{V_{CC}}{R_L} = \frac{12V}{1\hbar\Omega} = 12\text{mA}.$$

इस प्रकार के स्विच प्रदर्शों (Displays) के द्योतक (Indicator) के रुप में भी इस्तेमाल किये जा सकते हैं। उदाहरणत: यदि किसी LED को संग्राहक-प्रतिरोधक के साथ चित्र 29.12 के अनुसार श्रेणी में जोड़ दिया जाय तो संग्राहक धारा LED को उच्च निवेश (+5V) पर क्रिया रत कर प्रकाशमान कर देती है। निवेश के शून्य (निम्न स्तर) पर होने पर LED कार्य करना बन्द कर देता है क्योंकि परिपथ में संग्राहक-धारा प्रवाहित नहीं होती।



चित्र. 29.12: ट्रांजिस्टर स्विच वाला LED द्योतक (इंडीकेटर)

ट्रांजिस्टर का एक अन्य महत्वपूर्ण अनुप्रयोग वांछित आवृतिका दोलतीय सिगनल (Oscillating Signal) उत्पन्न करना है। यह विशेष प्रकार के परिपथ से किया जाता है जिसे दोलित्र कहते हैं। दोलित्रों के अनेकानेक अनुप्रयोग है, विशेषकर रेडियो प्रेषी (Transmitter) द्वारा केरियर तरंग आवृत्ति उत्पन्न करने में। ये जनित्रों (Generators), इलेक्ट्रॉनिक घड़ियों तथा कम्प्यूटर आदि में भी इस्तेमाल होते हैं। दोलित्र अनेक प्रकार के होते हैं। यहाँ हम ट्रांजिस्टर से बनने वाले सामान्य दोलित्र की चर्चा करेंगे।

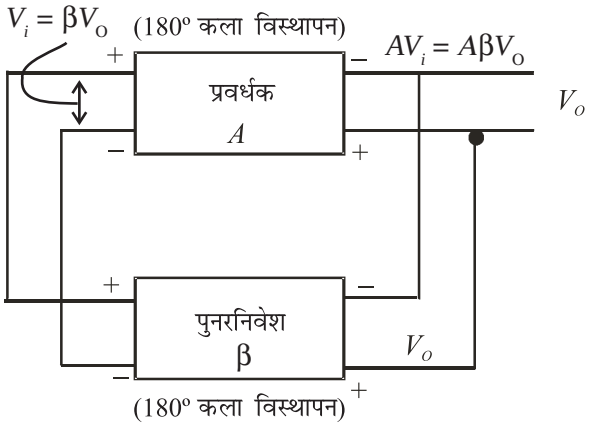
29.2.3 ट्रांजिस्टर एक दोलित्र के रुप में

इलेक्ट्रानिक दोलित्र (Oscillator) एक ऐसी युक्ति है जिससे सतत वैद्युत दोलन उत्पन्न किये जा सकते है। किसी दोलित्र में एक समान्तर LC परिपथ अनुनादी परिपथ के रुप में तथा प्रवर्धक ऊर्जा का अनुनादी परिपथ में पुनरनिवेश (Feed back) करने के लिए प्रयुक्त होते हैं। L एवं C का उचित चयन करके इससे श्रव्य (Audio) से लेकर रेडियो, तक की आवृत्तियाँ उत्पन्न की जा सकती हैं।

जब किसी आवेशित संधारित्र को प्रेरक (Inductor) के साथ जोड़ा जाता है तो आवेश दोलन करता है, किन्तु विकिरण एवं तारों में ऊष्मा के रुप में ऊर्जा के ह्रास के कारण दोलनों का आयाम लगातार घटता जाता है। किसी ज्या-तरंग दोलित्र से उत्पन्न दोलन स्थायी हों (अर्थात्

समय के साथ क्षीण न हो), इसके लिए यह आवश्यक है कि प्रवर्धक से ऊर्जा का धनात्मक पुनर्निवेशन किया जाय। मूल सिद्धांत यह है कि निर्गत सिगनल का एक अंश निवेशी सिगनल में पुनर्निवेशित हो। परिपथ का लाभ (gain) तथा पुनर्निवेशी सिगनल (Feed Signal) की कला (Phase) को समायोजित कर प्रत्येक चक्र में हुए ऊर्जा-क्षय की पुन:पूर्ति की जा सकती है ताकि वांछित आवृत्ति के स्थायी दोलन प्राप्त हो सके।

जैसा कि चित्र 29.13 में प्रदर्शित है कि दोलित्र-आरेख के दो मुख्य भाग हैं: एक प्रवर्धक जिसका लाभ 'A' है तथा एक पुनर्निवेशन परिपथ जिसका पुनर्निवेशन गुणांक B है।

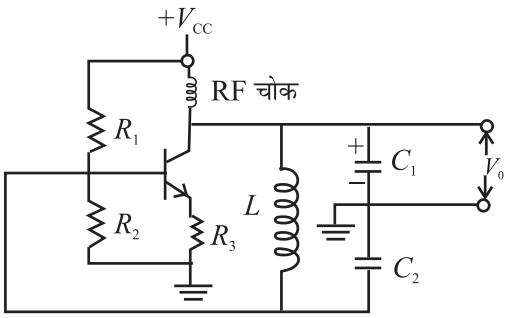


चित्र. 29.13: दोलित्र का आरेख

यदि $A\beta < 1$ तो V_O लगातार घटता जाता है। इसके विपरीत, यदि $A\beta > 1$ तो V_0 धीरे-धीरे बढ़ता जाता है। लेकिन यदि $A\beta = 1$ हो तो V_0 का अचर मान मिलता है जिसके कारण दोलन स्थायी अथवा पोषित रहते हैं।

अब हम *CE* प्रवर्धक पर विचार करें जिसकी कि अनुच्छेद 29.2.1 में चर्चा हुई थी। इसमें निवेश तथा निर्गम के मध्य 180° का कलान्तर होता है अर्थात् इसका ऋणात्मक लाभ (–*A*) है। अत: $A\beta = 1$ के लिए आवश्यक है कि β भी ऋणात्मक हो तथा इसका मान $-A^{-1}$ के बराबर हो । अर्थात् पुनर्निवेशन परिपथ में भी 180° का कला-विस्थापन आवश्यक है।

चित्र. 29.14 में एक दोलित्र का परिपथ दर्शाया गया है जिसमें एक *CE* विन्यास में एक ट्रांजिस्टर प्रवर्धक है तथा एक *LC* टैंक-परिपथ (Tank Circuit) है। इसे कॉलपिट दोलित्र कहते हैं।



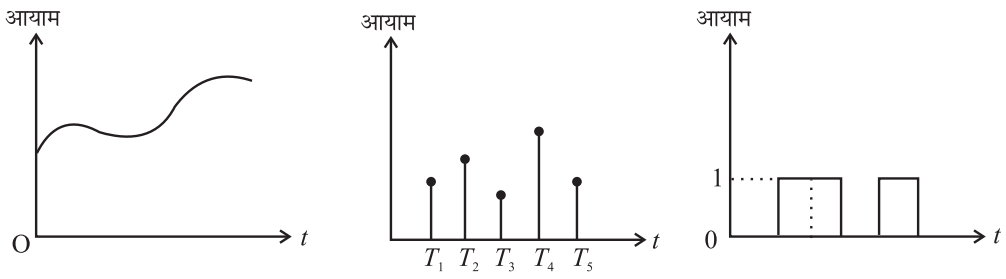
चित्र.29.14 : कॉलपिट-दोलित्र

यहाँ C_1, C_2 तथा L टैंक-परिपथ की रचना करते हैं। दोलित धारा अनुनादी आवृत्ति पर प्रवाहित होती है। निर्गम C_1 के बीच प्राप्त होता है तथा CE विन्यास के ट्रांजिस्टर-प्रवर्धक के आधार से जुड़े C_2 के बीच पुनर्निवेशन होता है। यहाँ 180° का कला-विस्थापन संधारित्र C_2 के द्वारा प्रदान किया जाता है। C_2 की एक प्लेट धरातल से तथा दूसरी प्लेट प्रेरक-कुण्डली से जुड़ी होती है। इस प्रकार कुल पाश लाभ (Total loop gain) धनात्मक होता है। जब अनुनादी आवृत्ति पर ट्रांजिस्टर प्रवर्धक का लाभ पर्याप्त मात्र में बढ़ चुका हो तो निर्गम पर स्थायी (पोषित) दोलन प्राप्त होते हैं।

29.3 तर्क परिपथ अथवा लॉजिक गेट्स (Logic Gates)

इलेक्ट्रानिक्स में प्राय: दो प्रकार के तरंगरुप मिलते हैं। इन तरंग-रुपों में समाहित सूचना ही सिगनल कहलाती है। यदि किसी सिगनल का तात्कालिक (Instantaneous) मान आयाम की सीमा के अन्दर कुछ भी सम्भव है तो उसे अविरत सिगनल (Continuous signal) कहते हैं। किंतु यदि सिगनल का शून्य के अतिरिक्त अन्य कोई मान कुछ विशेष समय-बिन्दुओं पर ही सम्भव है तो उसे विविक्त सिगनल (Discrete signal) कहते हैं। जब सिगनल के आयाम के मान सीमित संख्या (जैसे दो) में ही हो सकते हैं तो उसे डिजिटल सिगनल कहते हैं।

डिजिटल सिगनल चरण-बद्ध तरीके से ही परिवर्तित होते हैं। डिजिटल सिगनल के एक दूसरे से काफी भिन्न दो मान होते हैं जिन्हें प्राय: '0' एवं '1' से व्यक्त करते हैं। सामान्यत: 0V बिट '0' को तथा 5V बिट '1' को व्यक्त करता है। ये वोल्टता-स्तर एक दूसरे से इतने पृथक है कि लगभग 2V की सीमा में कोई सहगामी शोर, [(0V + 2 V) 0 स्तर के लिए तथा (5V – 2V)1 स्तर के लिए] सिगनल की गुणवत्ता को प्रभावित नहीं करता। इस प्रकार डिजिटल सिगनल शोर से लगभग अप्रभावित रहते हैं। कम्प्यूटर में प्रयुक्त सिगनल डिजिटल होते हैं। डिजिटल सिगनल में सूचना को अंकों (Bits) को अनेक प्रकार से क्रमबद्ध करके 'कोड' कर दिया जाता है। प्रत्येक बिट नियत (Fixed) समयावधि की स्पन्द (Pulse) होती है।



चित्र. 29.15: a) अविरल **(continuous)** सिगनल, **b)** विविक्त **(Discrete)** सिगनल, और **c)** डिजिटल सिगनल

विभिन्न गणितीय संक्रियायें (Operations) डिजिटल सिगनल द्वारा की जा सकती है। इन संक्रियाओं के गणित को बूलियन बीजगणित कहते हैं।

योग (Addition) एवं गुणन (Multiplication) बूलियन बीजगणित में मूल संक्रियायें हैं। यदि कोई आंकड़े (Data) डिजिटल अर्थात् 0 एवं 1 के रुप में हैं तो निम्नलिखित सर्वसमिकाएं लागू होंगी।

$$A \times 0 = 0 \quad (29.22)$$

$$A + 1 = 1 \quad (29.23)$$

इन संक्रियाओं को करने वाले परिपथों को तर्क परिपथ अथवा लॉजिक गेट्स (Logic Gates) कहते हैं। अब हम इन्हीं लॉजिक गेट्स के बारे में पढ़ेंगे।

29.3.1 आधारभूत लॉजिक गेट्स (तर्क परिपथ)

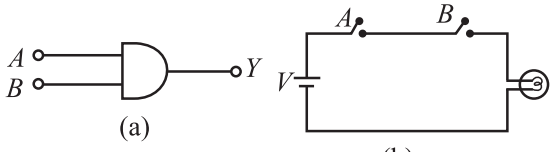
लॉजिक गेट ऐसी युक्तियाँ हैं जिनमें एक या एक से अधिक निवेश किन्तु सिर्फ एक निर्गम होता है। निवेश में बिट्स (Bits) अथवा उनका क्रम परिवर्तित होने पर निर्गम परिवर्तित हो सकता है। इन परिपथों द्वारा उत्पन्न निर्गम बूलियन तर्क के नियमों पर आधारित होता है। मूलत: तीन प्रकार के लॉजिक गेट होते हैं:

1. AND गेट, 2. OR गेट, 3. NOT गेट

ये परिपथ क्रमश: गुणन, योग तथा व्युत्क्रम (Inversion) की संक्रियायें करते हैं। अब हम इनकी कार्य-प्रणाली समझेंगे।

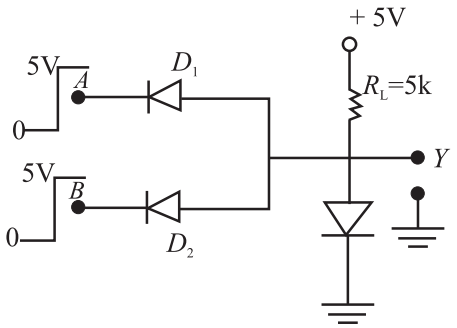
1. AND गेट

किसी AND गेट के दो या दो से अधिक निवेश हो सकते हैं, किन्तु निर्गम केवल एक ही होता है। दो निवेश वाले AND गेट का तर्क-प्रतीक अथवा लॉजिक सिम्बल (Logic Symbol) चित्र. 29.16(a) में दर्शाया गया है। हम किसी AND के व्यवहार को कई श्रेणीबद्ध स्विचों के माध्यम से समझ सकते हैं। स्विच A और B गेट के दो निवेश हैं तथा बल्ब निर्गम Y प्रदान करता है। ऑन स्विच निवेश '1' का तथा ऑफ स्विच निवेश '0' द्योतक हैं। स्पष्ट है कि बल्ब तभी जलेगा जबकि वह आपूर्ति वोल्टता से जुड़ा हो। यह तभी होगा जब दोनों स्विच A तथा B एक साथ ऑन हो (अर्थात् '1' पर हों)। चित्र 29.16(c) में सारणी से दर्शाया गया है। इस सारणी को 'सत्यता-सारणी कहते हैं।



A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(c)



(d)

चित्र. 29.16: a) AND गेट का प्रतीक, b) AND गेट के समरुप स्विचों की क्रिया, c) AND गेट की सत्यता-सारणी, और d) डायोडों द्वारा AND गेट की रचना।

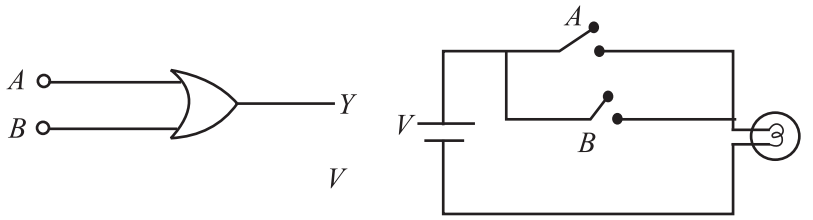
AND संक्रिया को बूलियन व्यंजक द्वारा निम्न प्रकार निरुपित किया जाता है:

$Y = A.B = AB = A \times B$ तथा A AND B पढ़ा जाता है।

AND गेट की व्यवहारिक रचना : डायोडों द्वारा निर्मित लॉजिक गेट को DDL गेट कहते हैं। DDLगेट का अभिप्राय है डायोड-डायोड लॉजिक गेट। दो निवेश वाले AND गेट की रचना चित्र 29.16 (d) में दर्शायी गयी है। डायोड D_1 व D_2 समान्तर में जुड़े हैं तथा उनको 5 V की बैटरी एवं 5 kΩ प्रतिरोध के द्वारा अभिनति प्रदान की गयी है। निर्गम एनोड पर लिया गया है। कैथेड A तथा B निवेश टर्मीनल का कार्य करते हैं। जब A अथवा B अथवा दोनों टर्मीनलों को धरातल (0 स्तर) से जोड़ देते हैं तो सम्बंधित डायोड में वैद्युत चालन होता है तथा विभवान्तर प्रतिरोध के बीच प्रकट होगा। निर्गम 0.7 V अर्थात् 0 स्तर पर होगा। जब दोनों टर्मीनल 5V (अर्थात् निवेश 1,1 हो) तो दोनों में से किसी डायोड में वैद्युत चालन नहीं होगा। अतएव निर्गम 5V होगा (अर्थात् 1 के स्तर पर)

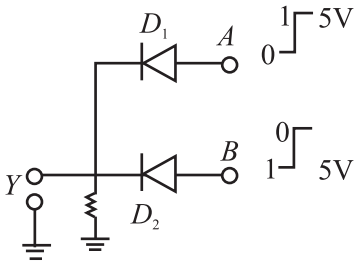
2 OR गेट

OR गेट में दो या दो से अधिक निवेश, किन्तु केवल एक निर्गम होता है। दो निवेश वाले OR गेट का तर्क-प्रतीक अथवा लॉजिक सिम्बल (Logic Symbol) चित्र. 29.17(a) में दर्शाया गया है। हम OR गेट का व्यवहार समान्तर में लगे कई स्विचों के माध्यम से समझ सकते हैं। दो निवेश वाले OR गेट का वैद्युत समरुप चित्र. 29.17(b) में दर्शाया गया है। स्विच A तथा B गेट के दो निवेश तथा बल्ब निर्गम Y प्रदान करता है। ऑन स्विच लॉजिक निवेश '1' को तथा ऑफ स्विच लॉजिक निवेश '0' को निरुपित करते हैं। इसी प्रकार, जलता हुआ बल्ब लॉजिक निर्गम '1' को तथा बुझाा हुआ बल्ब लॉजिक निर्गम '0' को निरुपित करते हैं। यहाँ A अथवा B अथवा दोनों स्विच ऑन हों तो आपूर्ति वोल्टता निर्गम Y पर प्रकट होती है। OR गेट के लिए निवेश-निर्गम सम्बन्ध चित्र. 29.17(c) में सत्यता-सारणी (Truth Table) द्वारा दर्शाया गया है।



(a) (b)

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1



(c) (d)

चित्र. 29.17: a) OR गेट का प्रतीक, b) OR गेट का स्विच समरुप, c) डायोडों द्वारा OR गेट की रचना

OR संक्रिया का बूलियन व्यंजक निम्नलिखित प्रकार से व्यक्त किया जा सकता है-

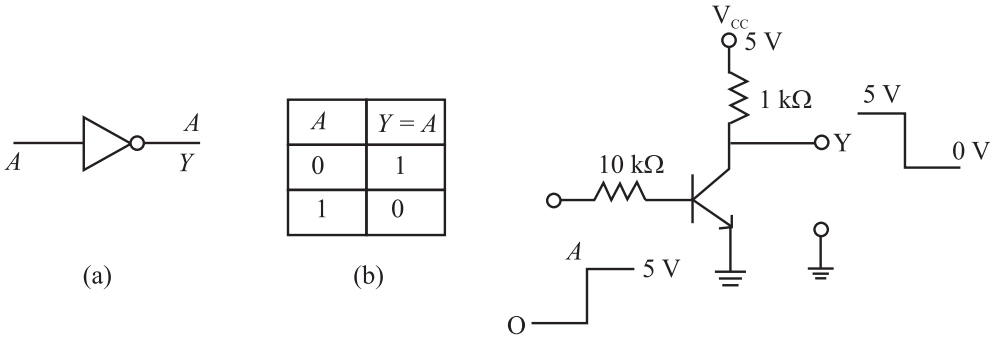
$Y = A + B$ तथा इसे A OR B पढ़ा जाता है।

OR गेट की व्यवहारिक रचना: डायोडों द्वारा निर्मित दो निवेश वाले OR गेट को चित्र. 29.17 (d) में दर्शाया गया है। डायोड D_1 और D_2 के कैथोड एक दूसरे के समान्तर तथा धरातल से 5 kΩ के प्रतिरोध द्वारा जुड़े हुए हैं। निर्गम कैथोड पर तथा दोनों निवेश A व B एनोड पर जोड़े जाते हैं। जब A अथवा B अथवा दोनों 5 V की बैटरी के धनात्मक सिरे से जोड़ दिये जाते हैं तो सम्बन्धित डायोड में अथवा दोनों ही डायोडों में वैद्युत चालन होता है। इसके परिणामस्वरुप निर्गम पर विभव 5V (अर्थात् स्तर '1') होगा। जब दोनों ही स्विच खुले हों तो निर्गम 0 V (अर्थात् '0' स्तर पर) होगा।

3. NOT गेट

एक अन्य महत्वपूर्ण गेट **NOT** गेट है जो कि सिगनल को उलट देता है अर्थात् निवेश '1' होने पर निर्गम '0' तथा विलोमत: निवेश '0' होने पर निर्गम '1' होगा।

NOT गेट का प्रतीक (Symbol) चित्र. 29.18(a) में दर्शाया गया है। NOT की सत्यता-सारणी (Truth Table) चित्र. 29.18(b) में दर्शायी गयी है।



चित्र 29.18: (a) NOT गेट का प्रतीक, (b) NOT गेट की सत्यता सारणी (c) NOT गेट का क्रिया-कारी परिपथ

NOT गेट के परिपथ की रचना ट्रांजिस्टर के स्विच की भांति कार्य हेतु बनाये जाने वाले परिपथ के समान ही है। इसे चित्र 29.18(c) में दर्शाया गया है। जब निवेश A, '0' के स्तर पर होता है तो ट्रांजिस्टर ऑफ रहता है। अत: सम्पूर्ण V_{CC} वोल्टता (5V) निर्गम Y पर ही प्रकट होती है। इसके विपरीत, जब निवेश A '1' (5V) पर होता तो ट्रांजिस्टर में वैद्युत चालन होता है तथा निर्गत वोल्टता '0' होती है।

विलोम संक्रिया (Inversion Operation) निवेश के संकेत के ऊपर एक रेखा (Bar) खींचकर प्रदर्शित की जाती है, तथा $Y = \text{NOT}(A) = \overline{A}$

अब तक हमने आधारभूत लॉजिक गेटों की चर्चा की है। आप पूछ सकते हैं: क्या इनका संयोजन (Combination) कर नये प्रकार के गेट बनाये जा सकते हैं। आपकों इसका उत्तर अगले परिच्छेद में मिलेगा।

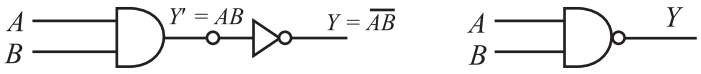
29.3.2 लॉजिक गेटों का संयोजन (Combination of Logic Gates)

लॉजिक गेटों के संयोजन से बनने वाले दो सबसे महत्वपूर्ण लॉजिक गेट हैं (1) NAND [NOT+AND] गेट, तथा (2) NOR [NOT+OR] गेट। डिजिटल इलेक्ट्रॉनिक्स में NAND गेट तथा NOR गेट को संरचनात्मक इकाई (Building Block) माना जाता है क्योंकि दोनों में से कोई एक प्रकार की गेटों की पर्याप्त संख्या को विशिष्ट प्रकार से जोड़कर OR, AND तथा NOT तीनों की संक्रियायें की जा सकती हैं। इसी कारण से, NAND एवं NOR गेटों को सार्वभौमिक गेट्स (Universal Gates) भी कहा जा सकता है। अब हम संयोजन लॉजिक गेटों के बारे में पढ़ेंगे।

1. NAND गेट

AND तथा NOT गेट के चित्र. 29.19 के अनुसार संयोजन से NAND गेट की रचना की जा सकती है। यहाँ AND गेट का निर्गम NOT द्वारा उलट दिया जाता है। NAND गेट का तर्क-प्रतीक अथवा लॉजिक सिम्बल (Logic Symbol) चित्र. 29.19(b) में दर्शाया गया है। NAND गेट की सत्यता सारणी चित्र 29.19(c) में दी हुई है। AND गेट के निर्गम का विलोम कर इस सारणी को बनाया जा सकता है। NAND गेट की सत्यता-सारणी यह दर्शाती है कि कम से कम एक एक निवेश के '0' पर निर्गम '1' प्राप्त होता है। NAND संक्रिया का बूलियन व्यजंक निम्न प्रकार व्यक्त किया जा सकता है:

$$Y = A.B = A \times B = AB$$



(a) (b)

A	B	$Y' = AB$	$Y = \overline{AB}$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

(c)

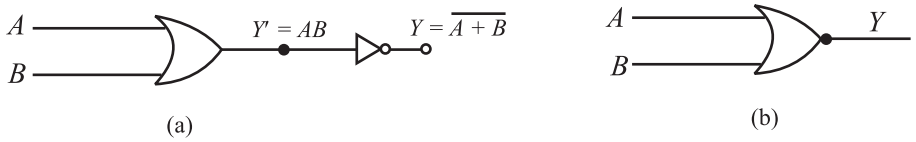
चित्र 29.19: (a) NAND एक संयोजन लॉजिक गेट की भांति, (b) NAND गेट का प्रतीक, (c) NAND गेट की सत्यता-सारणी

2. NOR गेट

NOR गेट को OR गेट तथा NOT गेट के संयोजन से चित्र 29.20(a) के अनुसार बनाया जाता है। यहाँ OR गेट के निर्गम का NOT गेट द्वारा विलोम कर अंतिम निर्गम Y पर प्राप्त किया जाता

है। NOR गेट की सत्यता-सारणी चित्र 29.20(c) दर्शायी गयी है जिसे OR गेट के निर्गम को उलटकर बनाया जा सकता है। NOT गेट की सत्यता-सारणी यह दर्शाती है कि निर्गम '1' तभी प्राप्त होता है जबकि दोनों निवेश '0' हों। NOR संक्रिया का बूलियन व्यंजक निम्नलिखित है:

$Y = \overline{A + B}$.



(a) (b)

A	B	Y′ = A+B	$Y = \overline{A+B}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

चित्र 29.20: (a) NOR संयोजन लॉजिक गेट की भांति, (b) NOR गेट का प्रतीक (c) NOR गेट की सत्यता-सारणी।

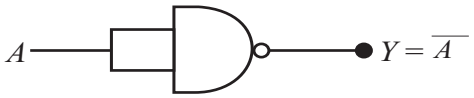
जैसा कि पूर्व में कहा जा चुका है कि NAND तथा NOR गेट समस्त लॉजिक गेटों की रचना की बुनियादी इकाई हैं। अब हम यह देखेंगे कि तीन आधारभूत गेटों- AND, OR और NOT की रचना NAND गेट से कैसे की जा सकती है।

29.3.4 मूल गेटों की NAND गेट से रचना

NAND गेट को सार्वभौमिक गेट इसलिए कहा जा सकता है क्योंकि इससे अन्य समस्त गेटों की रचना की जा सकती है।

(a) NOT गेट की रचना : NAND गेट के दोनों निवेशी सिरों को चित्र 29.22 के अनुसार जोड़ दिया जाय तो इससे निर्मित गेट NOT गेट होगा। आप सत्यता-सारणी बनाकर इसकी जाँच कर सकते हैं।

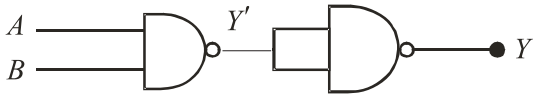
यहाँ पर $A = B$



चित्र 29.21: NAND गेट एक NOT गेट की भांति।

(b) **AND गेट की रचना** : दो NAND गेटों से एक AND गेट बनाया जा सकता है। पहले NAND गेट के निर्गम को NOT गेट के रुप में प्रयुक्त दूसरे NAND गेट द्वारा उलट दिया जाता है;

चित्र 29.22(a) का अवलोकन करें। यह संयोजन AND गेट की भांति व्यवहार करता है जैसा कि सत्यता-सारणी, चित्र 29.22.(b), से स्पष्ट है।

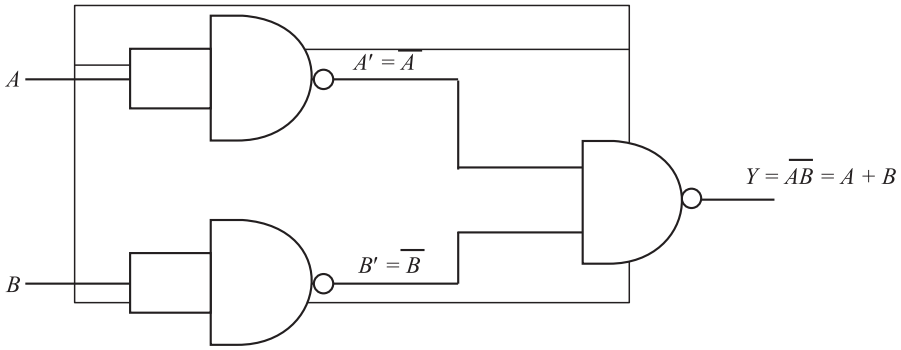


A	B	$Y' = \overline{AB}$	$Y = AB$
0	0	1	0
0	1	1	0
1	0	1	0
1	1	0	1

(b)

चित्र 29. 22: (a) NAND गेटों द्वारा AND गेट की रचना b) NAND गेटों द्वारा बने AND गेट की सत्यता-सारणी

c) **OR गेट की रचना :** तीन NAND गेटों द्वारा OR गेट का निर्माण किया जा सकता है। दो NAND गेट विलोमक के रूप में प्रयुक्त होते हैं तथा उनके निर्गम तीसरे NAND गेट के निवेश बनते हैं, जैसा कि चित्र 29.23 में दर्शाया गया है संयोजन OR गेट की भांति कार्य करता है।



चित्र 29.23 : तीन NAND गेटों से निर्मित OR गेट

पाठगत प्रश्न 29.3

चित्र 29.23 के लिए बनायी गयी निम्नलिखित सत्यता-सारणी को पूर्ण करिये तथा सिद्ध करिये कि ये OR गेट को निरूपित करती है।

A	B	A'	B'	Y
0	0	–	–	–
0	1	–	–	–
1	0	–	–	–
1	1	–	–	–

आपने क्या सीखा

- *p-n* संधि डायोड दिष्टकारी की भांति कार्य करता है जिससे प्रत्यावर्ती धारा को दिष्टधारा में परिवर्तित किया जा सकता है।
- पूर्ण-तरंग दिष्टकारी के निर्गम की तुलना में अर्द्ध-तरंग दिष्टकारी के निर्गम में प्रत्यावर्ती घटक अधिक होता है।
- जेनर डायोड शक्ति-आपूर्ति के निर्गम को स्थिर करता है।
- यदि जेनर डायोड स्टेबिलाइजर (Stabilizer) के रूप में प्रयुक्त हो तो ऊर्जा का व्यय तब अधिक होता है जब लोड में कम धारा प्रवाहित हो।
- प्रवर्धन के लिए ट्रांजिस्टर को निवेशी धारा की आवश्यकता होती है।
- ट्रांजिस्टर को स्विच की भांति प्रयोग किया जा सकता है यदि वह संतृप्त तथा संस्तब्ध क्षेत्रों में ही अभिनत रहे।
- लॉजिक गेट मूलत: तीन प्रकार के होते हैं - AND, OR तथा NOT
- NAND गेट सार्वभौमिक गेट है क्योंकि इससे समस्त अन्य गेट बनाये जा सकते हैं।

पाठांत प्रश्न

1. फिल्टर-संधारित्र वाले अर्द्ध-तरंग दिष्टकारी की तुलना में बिना संधारित्र वाले *p-n* संधि की शिखर व्युत्क्रम अथवा पीक इनवर्स वोल्टेज PIV (Peak Inverse Voltage) दो गुना क्यों होती है?
2. लोड में परिवर्तन के बावजूद भी जेनर डायोड धारा को स्थिर (Stabilized) कैसे रख पाता है?
3. प्रवर्धक के उचित प्रकार से कार्य करने के लिए निवेशी सिगनल के आयाम में परिवर्तन की सीमा क्या होनी चाहिए?
4. NOR गेट की रचना डायोड तथा ट्रांजिस्टर के द्वारा कीजिए।

पाठगत प्रश्नों के उत्तर

29.1

1. चित्र 29.6 को देखें।
2. पूर्ण-तरंग दिष्टकारी में दोनों डायोड C को अधिकतम वोल्टता V_{max} तक प्रत्येक अर्द्धचक्र में आवेशित कर देते हैं। अत: डायोडों का PIV $2 \times V_{max}$ होगा।

3. $R_z = 100\,\Omega$, $R_s = 100\,\Omega$ तथा $R = R_z + R_s = 200\,\Omega$
अत:,

$$I = \frac{21}{200} = 0.105\text{A}$$

तथा $V = IR = 0.105 \times 100$
$= 10.5\text{V}$

29.2

1. $$|A_v| = \frac{V_0}{V_i} = \frac{1\text{V}}{20\,\text{mV}} = 50$$

2. $$A_p = \frac{P_0}{P_i} = 200$$

3. $$|A_v| = \frac{\beta \times R_L}{r_i} = \frac{50 \times 2000\Omega}{500\Omega} = 200$$

$$A_p = \beta A_v = 50 \times 200 = 10000.$$

29.3

A	B	A'	B'	Y
0	0	0	0	0
0	1	1	1	1
1	0	1	0	1
1	1	1	1	1